

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09284258 A**

(43) Date of publication of application: **31 . 10 . 97**

(51) Int. Cl.

**H04J 14/08**

**H04J 3/00**

**H04J 3/06**

**H04L 7/033**

(21) Application number: **08091116**

(71) Applicant: **NEC CORP**

(22) Date of filing: **12 . 04 . 96**

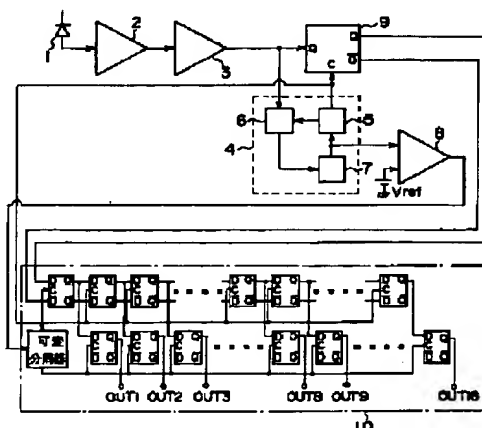
(72) Inventor: **SHIMOZAKA NAOKI**

(54) **BIT RATE FREE OPTICAL RECEIVER**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide the optical receiver having provision for separate time division multiplexity for each transmission speed in a time division multiplex transmission system containing plural digital signals with different transmission speed standards into one transmission system.

**SOLUTION:** The receiver is made up of a photodetector 1 converting an input optical signal into an electric signal, a PLL circuit 4 to extract a clock component synchronously with a digital signal, and an identification recovery circuit 9 comparing an output electric signal from the photodetector 1 with a prescribed threshold level synchronously with an output clock of the PLL circuit 4 and providing an output of a different value depending on the quantity, and also a time division demultiplex circuit 10 receiving an output signal from the identification recovery circuit 9 and providing an output of plural time division demultiplex signal and the demultiplex degree of the time division demultiplex circuit 10 is controlled by an input signal to a VCO 5 being a component of the PLL circuit 4.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284258

(43) 公開日 平成9年(1997)10月31日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 4 J	14/08		H 0 4 B	9/00	D
	3/00		H 0 4 J	3/00	Q
	3/06			3/06	Z
H 0 4 L	7/033		H 0 4 L	7/02	B

審査請求 有 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平8-91116

(22) 出願日 平成8年(1996)4月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 下坂 直樹

東京都港区芝五丁目7番1号 日本電気株式会社内

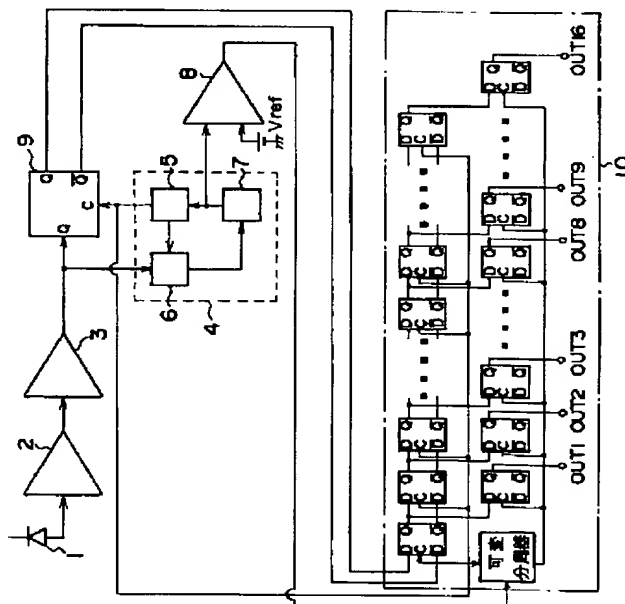
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 ビットレートフリー光受信器

(57) 【要約】

【課題】 伝送速度の規格が異なる複数のデジタル信号を1つの伝送系に収容する時分割多重伝送系で伝送速度毎に別個の時分割多重度を設定した場合に対応できる光受信器を提供することである。

【解決手段】 入力光信号を電気信号に変換する光検出器1と、前記デジタル信号に同期したクロック成分を抽出するためのPLL回路4と、光検出器1の出力電気信号をPLL回路4の出力クロックに同期したタイミングで所定のしきい値と比較し、その大小に応じて異なる値を出力する識別再生回路9とからなり、識別再生回路9の出力信号を入力とし複数の時分割分離信号として出力する時分割分離回路10を付加し、PLL回路4を構成するVCO5への入力信号により時分割分離回路10の分離度を制御する。



## 【特許請求の範囲】

【請求項 1】 デジタル信号で変調された入力光信号を電気信号に変換する光検出器と、該光検出器の出力電気信号から、前記デジタル信号に同期したクロック成分を抽出するためのクロック抽出回路と、前記光検出器の出力電気信号を前記クロック抽出回路の出力クロックに同期したタイミングで所定のしきい値と比較し、その大小に応じて異なる値を出力する識別再生回路とからなる光受信器において、前記タイミング抽出回路をキャプチャレンジの大きい位相同期ループ回路とし、前記識別再生回路の出力信号を入力とし複数の時分割分離信号として出力する時分割分離回路を付加し、前記位相同期ループ回路を構成する電圧制御発振器への入力信号により前記時分割分離回路の分離度を制御することを特徴とするビットレートフリー光受信器。

【請求項 2】 前記位相同期ループ回路は、電圧制御発振器と、位相比較器と、低域通過フィルタとから構成され、前記位相比較器の入力側及び前記低域通過フィルタの出力側には第 1 及び第 2 の比較器とアンドゲートを備えたレベル識別回路が接続され、該レベル識別回路は、前記電圧制御発振器に印加されている駆動電圧のレベルを前記第 1 及び前記第 2 の比較器で検知することにより前記入力光信号の伝送速度を識別することを特徴とする請求項 1 記載のビットレートフリー光受信器。

【請求項 3】 前記電圧制御発振器は、入力される可能性のあるデジタル信号のビットレート全てをカバーできる程度に周波数可変範囲を広く設定していることを特徴とする請求項 2 記載のビットレートフリー光受信器。

【請求項 4】 前記時分割分離回路はシフトレジスタ型の構成であり、前記識別再生回路の出力信号を可変分周器の分周比に等しい多重数に分離し、その分周比が前記レベル識別回路により制御されて前記入力光信号の伝送速度／多重数に応じて前記時分割分離回路の多重度を自動設定できることを特徴とする請求項 2 又は 3 記載のビットレートフリー光受信器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、光通信に用いられる光受信器に関するものである。

## 【0002】

【従来の技術】従来から用いられている光受信器の構成を図 4 に示す。図 4 の光受信器においては到来した光信号を光検出器 51 を用いて電気信号に変換する。この電気信号から位相同期ループ回路、タンク回路等により構成されるタイミング抽出回路 52 を用いてクロック成分を抽出する。次段の識別再生回路（図示せず）では前記電気信号を前記クロック成分の立ち上がり（もしくは立ち下がり）時点で適当なしきい値と比較し、その結果に応じたレベルの信号を出力することにより、識別再生を行っている。ここで光受信器に入力される光信号が時

割多重信号である場合、前記識別再生回路の出力は、さらに時分割分離回路に入力され、送信された複数のデジタル信号に復元される。

## 【0003】

【発明が解決しようとする課題】従来の光受信器では、タイミング抽出回路が単一周波数にのみ同調しているため、複数の伝送速度の信号が混在する伝送系では受信できる信号が限定される。

【0004】又、従来の光受信器では、使用している時分割多重器の多重度が固定であるため、1 種類の時分割多重度を有する信号しか受信できず、伝送速度の規格が異なる複数のデジタル信号を 1 つの伝送系に收容する時分割多重伝送系で伝送速度毎に別個の時分割多重度を設定した場合に対応できない。

【0005】本発明の課題は、上記問題点を解消し、伝送速度の規格が異なる複数のデジタル信号を 1 つの伝送系に收容する時分割多重伝送系で伝送速度毎に別個の時分割多重度を設定した場合に対応できる光受信器を提供することである。

## 【0006】

【課題を解決するための手段】本発明によれば、デジタル信号で変調された入力光信号を電気信号に変換する光検出器と、該光検出器の出力電気信号から、前記デジタル信号に同期したクロック成分を抽出するためのクロック抽出回路と、前記光検出器の出力電気信号を前記クロック抽出回路の出力クロックに同期したタイミングで所定のしきい値と比較し、その大小に応じて異なる値を出力する識別再生回路とからなる光受信器において、前記タイミング抽出回路をキャプチャレンジの大きい位相同期ループ回路とし、前記識別再生回路の出力信号を入力とし複数の時分割分離信号として出力する時分割分離回路を付加し、前記位相同期ループ回路を構成する電圧制御発振器への入力信号により前記時分割分離回路の分離度を制御することを特徴とするビットレートフリー光受信器が得られる。

【0007】さらに、本発明によれば、前記位相同期ループ回路は、電圧制御発振器と、位相比較器と、低域通過フィルタとから構成され、前記位相比較器の入力側及び前記低域通過フィルタの出力側には第 1 及び第 2 の比較器とアンドゲートを備えたレベル識別回路が接続され、該レベル識別回路は、前記電圧制御発振器に印加されている駆動電圧のレベルを前記第 1 及び前記第 2 の比較器で検知することにより前記入力光信号の伝送速度を識別することを特徴とするビットレートフリー光受信器が得られる。

【0008】さらに、本発明によれば、前記電圧制御発振器は、入力される可能性のあるデジタル信号のビットレート全てをカバーできる程度に周波数可変範囲を広く設定していることを特徴とするビットレートフリー光受信器が得られる。

【0009】さらに、本発明によれば、前記時分割分離回路はシフトレジスタ型の構成であり、前記識別再生回路の出力信号を可変分周器の分周比に等しい多重数に分離し、その分周比が前記レベル識別回路により制御されて前記入力光信号の伝送速度／多重度に応じて前記時分割分離回路の多重度を自動設定できることを特徴とするビットレートフリー光受信器が得られる。

【0010】

【作用】本発明においては、タイミング抽出回路としてキャプチャレンジの大きい位相同期ループ回路を用いているため、種々の伝送速度に対応できる。また、位相同期ループ回路を構成する電圧制御発振器への入力制御信号により時分割分離回路の分離度を制御するため、伝送速度毎に時分割多重度が異なった値に設定されている伝送系では、受信される信号に応じて自動的に最適な分離度が設定される。

【0011】

【発明の実施の形態】以下、本発明の一実施の形態を図面を参照して詳細に説明する。図1は本発明の一実施の形態における光受信器の構成を示した図であり、図2は図1中のタイミング抽出回路の周波数引き込み特性を表す図である。

【0012】本光受信器に到来する光信号はレーザ光を以下の3種の2値デジタル信号A、B、及びCのいずれかで強度変調した信号である。2値デジタル信号A（以下、A信号と呼ぶ）は143Mb/sの信号16個を時分割多重した2.29Gb/sの信号であり、2値デジタル信号B（以下、B信号と呼ぶ）は270Mb/sの信号8個を時分割多重した2.16Gb/sの信号であり、2値デジタル信号C（以下、C信号と呼ぶ）は1.485Gb/sの信号である。

【0013】光ファイバを介して外部より光受信器に入力される上記光信号はPINフォト、ダイオードで構成された光検出器1で電気信号に変換される。この電気信号はフロントエンド2で電流／電圧変換される。フロントエンド2の出力は自動利得制御機能（AGC）増幅器3で一定レベルに増幅される。増幅器3の出力は第1および第2の出力に2分岐され、第1の出力は位相同期ループ回路（以下、PLL回路と呼ぶ）4に入力される。PLL回路4は電圧制御発振器（以下、VCOと呼ぶ）5、位相比較器6、低域通過フィルタ（以下、LPFと呼ぶ）7から構成される。VCO5の周波数可変範囲は1.4GHzから2.4GHzまでである。

【0014】本光受信器に入力される光信号が上記A信号、B信号、及びC信号のいずれであってもこのPLL回路4によりタイミング抽出可能である。LPF7の出力はレベル識別回路8に入力される。LPF7の出力レベルは光受信機への入力光信号の伝送速度に対応しているため、そのレベルをモニタすることで伝送速度を知ることができる。

【0015】レベル識別回路8は図3のような構成で実現できる。この回路では、第1および第2の比較器41、42で入力信号のレベルが上記A信号、B信号、およびC信号のいずれに対応するかを調べている。第1の比較器41では、C信号に対応すれば、その出力はロウレベル（L）、それ以外ではハイレベル（H）となる。一方、第2の比較器42ではA信号であればハイレベル（H）、さもなければロウレベル（L）を出力する。以上をまとめるとレベル識別回路8の動作は以下の表1のようになる。

【0016】

【表1】

レベル識別回路8の真理値表

出力		対応する信号
比較器41	ANDゲート43	
'L'	'L'	(C)
'H'	'L'	(B)
'H'	'H'	(A)

増幅器3の第2の出力はDフリップフロップで構成される識別再生回路9のデータ入力端子に入力される。識別再生回路9へはPLL回路4の出力であるクロック信号が入力され、このクロックのタイミングで増幅器3の第2の出力のレベルがハイレベルであるかロウレベルであるかを識別する。識別再生回路9の出力は時分割分離回路10に入力される。時分割分離回路10は、図1に示すようにシフトレジスタ型の構成である。時分割分離回路10の分離度は、別途入力されるレベル識別回路8の出力により制御される。時分割分離回路10の分離度を制御するため、リングカウンタの計数値をデコーダで制御する。デコーダは入力されるレベル識別回路8の出力により、以下の表2に示される真理値表に基づいて動作する。

【0017】

【表2】

デコーダ出力の真理値表

レベル識別回路出力		デコーダ52出力	
比較器41	ANDゲート43	出力1	出力2
'L'	'L'	'H'	'H'
'H'	'L'	'L'	'H'
'H'	'H'	'L'	'L'

上記表2に示す出力をリングカウンタに印加することで、リングカウンタの計数値は表2の上から順に1、

8, 16と変化する。

【0018】

【発明の効果】本発明によれば、タイミング抽出回路としてキャプチャレンジの大きい位相同期ループ回路を用いているため、種々の伝送速度に対応できる。

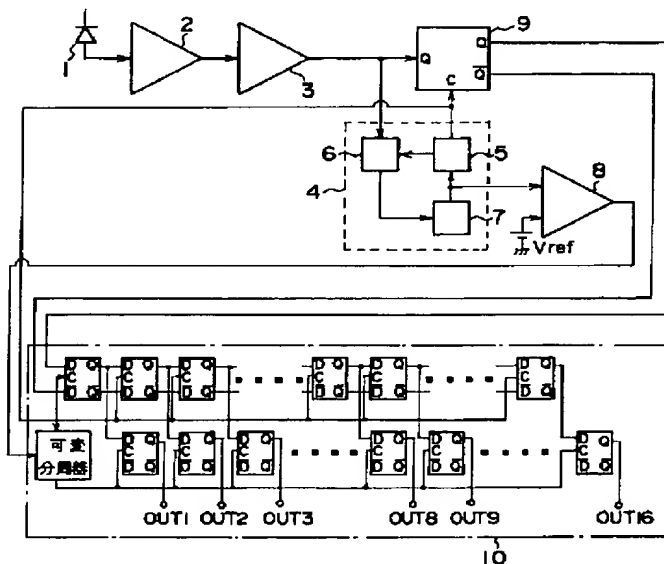
【0019】又、本発明によれば、位相同期ループ回路を構成する電圧制御発振器への入力制御信号により時分割分離回路の分離度を制御するため、伝送速度毎に時分割多重度が異なった値に設定されている伝送系では受信される信号に応じて自動的に最適な分離度が設定される。

【図面の簡単な説明】

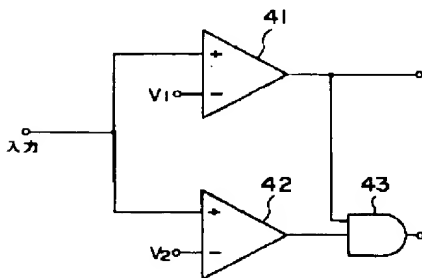
【図1】本発明に係るビットレートフリー光受信器の構成を示した図である。

【図2】タイミング抽出回路の周波数引き込み特性を示

【図1】



【図3】



した図である。

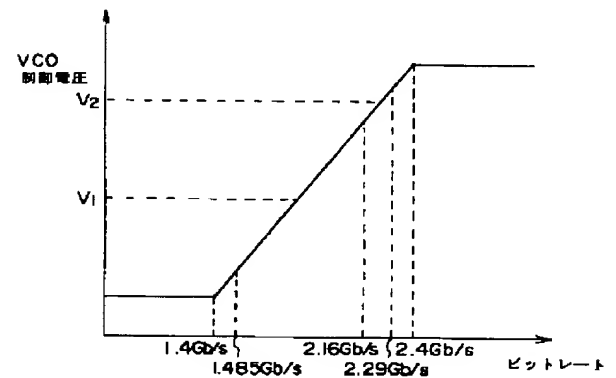
【図3】レベル識別回路の構成を示した図である。

【図4】従来の光受信器を示した図である。

【符号の説明】

- 1 光検出器
- 2 フロントエンド
- 3 増幅器
- 4 PLL回路
- 5 VCO
- 6 位相比較器
- 7 LPF
- 8 レベル識別回路
- 9 識別再生回路
- 10 時分割分離回路
- 41, 42 比較器

【図2】



【図4】

